

PAT-NO: JP02002111495A

DOCUMENT-IDENTIFIER: JP 2002111495 A

TITLE: DIGITAL-ANALOG CONVERSION CIRCUIT

PUBN-DATE: April 12, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
MORI, HIROYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP2000297839

APPL-DATE: September 29, 2000

INT-CL (IPC): H03M001/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a DA conversion circuit capable of preventing a reduction in conversion accuracy due to an overflow.

SOLUTION: In a setting mode, a fixed data FD is converted into an analog voltage AV1 through a DAC 12, a correcting value CAL acquired from a control part 16 with increasing in sequence is converted into an analog voltage AV2 through DAC 17 to be added at an analog adder 13. Then, the value CAL is set to match an analog signal OUT from the adder 13 with a reference voltage VC. In a conversion mode, a digital signal IN is converted into the voltage AV1 through the DAC 12, the value CAL acquired from the part 16 is converted into the voltage AV2 through the DAC 17 to be added at the adder 13. Thus, an offset cancellation can be performed without the reduction by using the DAC 12 having the same bit number of the signal IN.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-111495

(P2002-111495A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl.⁷

H03M 1/10

識別記号

F I

H03M 1/10

ターム(参考)

B 5 J 0 2 2

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-297839(P2000-297839)

(22) 出願日 平成12年9月29日 (2000.9.29)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 森 博之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100086807

弁理士 柿本 恭成

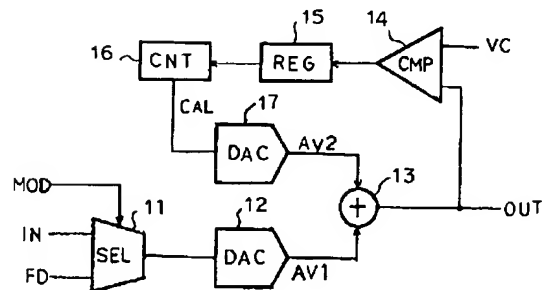
Fターム(参考) 5J022 AB01 BA03 CB06 CC04 CD01
CE08 CF01

(54) 【発明の名称】 デジタル・アナログ変換回路

(57) 【要約】

【課題】 オーバーフローによる変換精度の劣化がない
DA変換回路を提供する。

【解決手段】 設定モードでは、固定データFDがDAC12でアナログ電圧AV1に変換され、制御部16から順次増加して与えられる測定値CALがDAC17でアナログ電圧AV2に変換されてアナログ加算器13で加算される。そして、アナログ加算器13のアナログ信号OUTが基準電圧VCに一致するように、補正值CALが設定される。変換モードでは、デジタル信号INがDAC12でアナログ電圧AV1に変換され、制御部16から与えられる補正值CALがDAC17でアナログ電圧AV2に変換されてアナログ加算器13で加算される。これにより、デジタル信号INと同じビット数のDAC12を用いて変換精度を劣化させずに、オフセットキャンセルを行うことができる。



本発明の第1の実施形態のDA変換回路

【特許請求の範囲】

【請求項1】 モード信号で設定モードが指定されたときに一定の固定データを選択し、該モード信号で変換モードが指定されたときに変換対象のデジタル信号を選択して出力するセレクトと、

前記セレクトの出力信号を第1のアナログ電圧に変換する第1のデジタル・アナログ変換器と、

測定値または補正値を第2のアナログ電圧に変換する第2のデジタル・アナログ変換器と、

前記第1及び第2のアナログ電圧を加算してアナログ信号を出力するアナログ加算器と、

前記アナログ信号を所定の電圧と比較する比較器と、

前記比較器の比較結果を保持するレジスタと、

前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記第2のデジタル・アナログ変換器に与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該第2のデジタル・アナログ変換器に与える制御部とを、

備えたことを特徴とするデジタル・アナログ変換回路。

【請求項2】 モード信号で設定モードが指定されたときに一定の固定データを選択し、該モード信号で変換モードが指定されたときに変換対象のデジタル信号を選択して出力する第1のセレクトと、

前記第1のセレクトの出力信号を第1のアナログ電圧に変換する第1のデジタル・アナログ変換器と、

制御信号で外部制御モードが指定されたときに外部データを選択し、内部制御モードが指定されたときに測定値または補正値を選択する第2のセレクトと、

前記第2のセレクトの出力データを第2のアナログ電圧に変換する第2のデジタル・アナログ変換器と、

前記第1及び第2のアナログ電圧を加算してアナログ信号を出力するアナログ加算器と、

前記アナログ信号を所定の電圧と比較する比較器と、

前記比較器の比較結果を保持するレジスタと、

前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記第2のセレクトに与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該第2のセレクトに与える制御部とを、

備えたことを特徴とするデジタル・アナログ変換回路。

【請求項3】 モード信号で設定モードが指定されたときに一定の固定データを選択し、該モード信号で変換モードが指定されたときに変換対象のデジタル信号を選択して出力する第1のセレクトと、

前記第1のセレクトの出力信号を第1のアナログ電圧に

変換する第1のデジタル・アナログ変換器と、

制御信号で外部制御モードが指定されたときに外部データを選択し、内部制御モードが指定されたときに一定の固定値を選択する第2のセレクトと、

測定値または補正値と前記第2のセレクトで選択されたデータを加算するデジタル加算器と、

前記デジタル加算器の出力データを第2のアナログ電圧に変換する第2のデジタル・アナログ変換器と、

前記第1及び第2のアナログ電圧を加算してアナログ信号を出力するアナログ加算器と、

前記アナログ信号を所定の電圧と比較する比較器と、

前記比較器の比較結果を保持するレジスタと、

前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記デジタル加算器に与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該デジタル加算器に与える制御部とを、

備えたことを特徴とするデジタル・アナログ変換回路。

【請求項4】 前記アナログ加算器は、前記第1及び第2のアナログ電圧を加算してアナログ信号を出力すると共に、該アナログ信号の極性を反転した反転アナログ信号を出力するように構成し、

前記比較器は、前記アナログ信号を前記反転アナログ信号と比較するように構成したことを特徴とする請求項1、2または3記載のデジタル・アナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル・アナログ変換回路（以下、「DA変換回路」という）、特にオフセットキャンセル機能を有するDA変換回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献：特開平11-234130号公報

【0003】

図2は、前記文献に開示された従来のDA変換回路の構成図である。このDA変換回路は、変換対象のデジタル信号INと固定データFDを、モード信号MODに従って切り替えて出力するセレクト（SEL）1を有し、このセレクト1の出力側が、デジタル加算器（ADD）2の第1の入力側に接続されている。デジタル加算器2の出力側はデジタル・アナログ変換器（以下、「DAC」という）3の入力側に接続され、このDAC3の出力側がバッファ回路を構成する演算増幅器（AMP）4の非反転入力端子に接続されている。演算増幅器4の出力側は反転入力端子にフィードバックされ、この演算増幅器4の出力側からアナログ信号OUTが出力されるようになっている。

【0004】アナログ信号OUTは、更に比較器(CMP)5の第1の入力側に与えられるようになっている。比較器5の第2の入力側には、基準電圧VCが与えられ、この比較器5の出力側がカウンタ(CNT)6とレジスタラッチ(REG)7の入力側に接続されている。カウンタ6は、一定の間隔でカウントアップするオフセット推測値を出力するものである。レジスタラッチ7は、カウンタ6の値をデジタル加算器2の第2の入力側に与えると共に、比較器5の比較結果が反転した時のカウンタ6の値をオフセット値として保持記憶するもの

【0005】このDA変換回路では、次のような動作が行われる。まず、モード信号MODによってオフセット値測定モードが設定され、セレクト1によって固定データFD(例えば、80h、但しhは16進表示を意味する)が選択されてデジタル加算器2の第1の入力側に与えられる。また、カウンタ6から、オフセット推測値の初期値として-80hが出力され、レジスタラッチ7にそのオフセット推測値が記憶される。

【0006】オフセット推測値は、レジスタラッチ7からデジタル加算器2の第2の入力側に与えられ、このデジタル加算器2によって固定データFDと加算される。加算結果はDAC3によってアナログ電圧に変換され、演算増幅器4からアナログ信号OUTとして出力される。アナログ信号OUTは、更に比較器5によって基準電圧VC(例えば、電源電圧の1/2)と比較され、その比較結果が、カウンタ6とレジスタラッチ7に与えられる。

【0007】その後、カウンタ6から出力されるオフセット推測値は、一定の時間間隔で最大80hまで1ずつカウントアップされる。これに伴ってアナログ信号OUTが上昇し、このアナログ信号OUTが基準電圧VCを超えると、比較器5の比較結果が反転する。比較器5の比較結果が反転したときのカウンタ6の値は、レジスタラッチ7によってオフセット値として記憶保持される。

【0008】次に、モード信号MODによってDA変換モードが設定されると、セレクト1によって変換対象のデジタル信号INが選択されてデジタル加算器2の第1の入力側に与えられる。また、レジスタラッチ7から、オフセット値測定モードで測定されたオフセット値が出力される。デジタル信号INは、オフセット値と加算された後、DAC3でアナログ電圧に変換され、演算増幅器4からアナログ信号OUTとして出力される。

【0009】このように、図2のDA変換回路は、オフセット値測定モードにおいて、80hのデジタル信号に対して、基準電圧VCのアナログ電圧が出力されるように、オフセット値を測定してレジスタラッチ7に記憶保持するようにしている。従って、DAC3と演算増幅器4のオフセットをキャンセルすることができる。

【0010】

【発明が解決しようとする課題】しかしながら、従来のDA変換回路では、次のような課題があった。即ち、デジタル信号INとオフセット値とを加算するデジタル加算器2と、このデジタル加算器2の加算結果をアナログ電圧に変換するDAC3を用いている。このような構成では、例えば変換対象のデジタル信号INが8ビットの場合、デジタル加算器2の加算結果は、1桁繰り上がって9ビットになる場合がある。このため、DAC3に変換対象のデジタル信号INと同じ桁数の変換器を用いると、オーバーフローによって変換精度が劣化するという課題があった。

【0011】本発明は、前記従来技術が持っていた課題を解決し、オーバーフローによる変換精度の劣化のおそれがないDA変換回路を提供するものである。

【0012】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、DA変換回路において、モード信号で設定モードが指定されたときに一定の固定データを選択し、該モード信号で変換モードが指定されたときに変換対象のデジタル信号を選択して出力するセレクトと、前記セレクトの出力信号を第1のアナログ電圧に変換する第1のDACと、測定値または補正値を第2のアナログ電圧に変換する第2のDACと、前記第1及び第2のアナログ電圧を加算してアナログ信号を出力するアナログ加算器と、前記アナログ信号を所定の電圧と比較する比較器と、前記比較器の比較結果を保持するレジスタと、次のような制御部とを備えている。

【0013】即ち、制御部は、前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記第2のDACに与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該第2のDACに与えるものである。

【0014】第1の発明によれば、以上のようにDA変換回路を構成したので、次のような作用が行われる。

【0015】設定モードでは、固定データをアナログに変換して出力されるアナログ電圧が、所定の電圧に一致するように補正値が設定される。変換モードでは、変換対象のデジタル信号をアナログに変換して生成された第1のアナログ電圧に、補正値をアナログに変換して生成された第2のアナログ電圧が加算され、アナログ信号として出力される。

【0016】第2の発明は、DA変換回路において、第1の発明と同様の第1のセレクト、第1のDAC、アナログ加算器、比較器、及びレジスタと、次のような第2のセレクト、第2のDAC、及び制御部を備えている。

【0017】即ち、第2のセレクトは、制御信号で外部制御モードが指定されたときに外部データを選択し、内部制御モードが指定されたときに測定値または補正値を選択するものである。第2のDACは、前記第2のセ

クタの出力データを第2のアナログ電圧に変換するものである。制御部は、前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記第2のセクタに与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該第2のセクタに与えるものである。

【0018】第2の発明によれば、次のような作用が行われる。設定モードでは、固定データをアナログに変換して出力されるアナログ電圧が、所定の電圧に一致するように補正値が設定される。内部制御モードの変換モードでは、変換対象のデジタル信号をアナログに変換して生成された第1のアナログ電圧に、補正値をアナログに変換して生成された第2のアナログ電圧が加算され、アナログ信号として出力される。更に、外部制御モードの変換モードでは、変換対象のデジタル信号をアナログに変換して生成された第1のアナログ電圧に、外部データをアナログに変換して生成された第2のアナログ電圧が加算され、アナログ信号として出力される。

【0019】第3の発明は、DA変換回路において、モード信号で設定モードが指定されたときに一定の固定データを選択し、該モード信号で変換モードが指定されたときに変換対象のデジタル信号を選択して出力する第1のセクタと、前記第1のセクタの出力信号を第1のアナログ電圧に変換する第1のDACと、制御信号で外部制御モードが指定されたときに外部データを選択し、内部制御モードが指定されたときに一定の固定値を選択する第2のセクタと、測定値または補正値と前記第2のセクタで選択されたデータを加算するデジタル加算器と、前記デジタル加算器の出力データを第2のアナログ電圧に変換する第2のDACを備えている。

【0020】更にこのDA変換回路は、前記第1及び第2のアナログ電圧を加算してアナログ信号を出力するアナログ加算器と、前記アナログ信号を所定の電圧と比較する比較器と、前記比較器の比較結果を保持するレジスタと、前記設定モードが指定されたときに、前記測定値を一定範囲で順次増加または減少させて前記デジタル加算器に与えると共に、前記レジスタに保持された比較結果に基づいて該測定値の中から前記補正値を選択し、前記変換モードが指定されたときに、該補正値を該デジタル加算器に与える制御部を備えている。

【0021】第3の発明によれば、次のような作用が行われる。設定モードでは、固定データをアナログに変換して出力されるアナログ電圧が、所定の電圧に一致するように補正値が設定される。内部制御モードの変換モードでは、変換対象のデジタル信号をアナログに変換して生成された第1のアナログ電圧に、補正値をアナログに変換して生成された第2のアナログ電圧が加算され、アナログ信号として出力される。更に、外部制御モードの変換モードでは、変換対象のデジタル信号をアナロ

グに変換して生成された第1のアナログ電圧に、補正値と外部データの合計をアナログに変換して生成された第2のアナログ電圧が加算され、アナログ信号として出力される。

【0022】第4の発明は、第1～第3の発明中のアナログ加算器を、第1及び第2のアナログ電圧を加算してアナログ信号を出力すると共に、該アナログ信号の極性を反転した反転アナログ信号を出力するように構成している。また、比較器は、記アナログ信号を反転アナログ信号と比較するように構成している。

【0023】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態を示すDA変換回路の構成図である。このDA変換回路は、オフセットキャンセル機能を有するもので、変換対象の8ビットのデジタル信号INと固定データFD（例えば、80h）を、モード信号MODに従って切り替えて出力するセクタ11を備えている。セクタ11の出力側は、DAC12の入力側に接続されている。DAC12は、8ビットのデジタル信号INを、その0から255までの値に応じて256レベルのアナログ電圧AV1に変換して出力するものである。

【0024】DAC12の出力側は、アナログ加算器13の第1の入力側に接続されている。アナログ加算器13は、例えば演算増幅器等で構成され、第1及び第2の入力側に与えられる電圧の合計電圧を、アナログ信号OUTとして出力するものである。アナログ信号OUTは、更に比較器14の第1の入力側に与えられるようになっている。

【0025】比較器14は、第1と第2の入力側の電圧を比較するもので、第1の入力側の電圧が第2の入力側の電圧よりも低いときにレベル“L”、その逆の時にレベル“H”の比較結果の信号を出力するようになっている。比較器14の第2の入力側には、基準電圧VC（例えば、電源電圧VCCの1/2）が与えられ、この比較器14の出力側がレジスタ（REG）15の入力側に接続されている。

【0026】レジスタ15は、比較器14の比較結果の信号を保持するものである。レジスタ15の出力側には、制御部（CNT）16が接続されている。制御部16は、レジスタ15に保持されている比較結果の信号に基づいて、アナログ信号OUTと基準電圧VCに対するオフセット値を計算し、適切な補正値CALを生成して出力するものである。制御部16の出力側には、DAC17が接続されている。DAC17はDAC12と同様に8ビットのもので、この出力側がアナログ加算器13の第2の入力側に接続されている。

【0027】次に、図1の動作を、設定モード（1）、及び変換モード（2）に分けて説明する。

【0028】（1） 設定モード

設定モードは、変換対象のデジタル信号INに対するDA変換に先立って、補正電圧を生成するDAC17に対する補正值CALを設定するものである。

【0029】まず、モード信号MODが設定モードに設定され、セクタ1によって固定データFD(80h)が選択されてDAC12の入力側に与えられる。これにより、DAC12からフルスケールの1/2、即ち、電源電圧VCCの約1/2のアナログ電圧AV1が出力される。

【0030】一方、制御部16からDAC17に対し、-80hから7Fhまで順次1ずつカウントアップする測定値CALが与えられる。これにより、DAC17から出力されるアナログ電圧AV2は、測定値CALに従って、-VCC/2からVCC/2まで256段階で順次上昇する。

【0031】DAC12のアナログ電圧AV1とDAC17のアナログ電圧AV2は、アナログ加算器13で加算される。これにより、アナログ加算器13から出力されるアナログ信号OUTは、制御部16から出力される測定値CALに従って、0からVCCまで256段階で順次上昇する。

【0032】比較器14では、アナログ信号OUTと基準電圧VCが比較され、その比較結果の信号が出力される。比較器14から出力された比較結果の信号は、制御部16から出力される測定値CALに対応して、レジスタ15に順次シフトして保持される。設定動作の開始直後は、アナログ信号OUTは0に近い値となっているので、比較器14から出力される比較結果の信号は“L”である。アナログ信号OUTが順次上昇して基準電圧VCに達すると、比較結果の信号は“H”に変化し、その後、アナログ信号OUTが上昇しても比較結果の信号は“H”のままの状態となる。このようにして、0から255の測定値CALに対応して、256個の比較結果の信号がレジスタ15に保持される。

【0033】256個の比較結果の信号がレジスタ15に保持されると、このレジスタ15の内容が制御部16によって読み出され、比較結果の信号が“L”から“H”へ変化する点が検出される。更に、制御部16によって検出された変化点に対応する測定値CALが算出され、オフセット補正用の補正值CALとしてDAC17に与えられる。

【0034】(2) 変換モード

変換モードは、設定モードにおいてオフセット補正値用の補正值CALが設定された後、変換対象のデジタル信号INをアナログ信号OUTに変換するものである。

【0035】モード信号MODによってセクタ11がデジタル信号IN側に切り替えられ、変換対象のデジタル信号INがDAC12の入力側に与えられる。デジタル信号INは、DAC12によってその値に応じたアナログ電圧AV1に変換されてアナログ加算器13

の第1の入力側に与えられる。

【0036】一方、制御部16からDAC17に補正值CALが与えられ、この補正值CALに対応したアナログ電圧AV2が生成されてアナログ加算器13の第2の入力側に与えられる。

【0037】DAC12から出力される変換対象のデジタル信号INに対応したアナログ電圧AV1と、DAC17から出力される補正值CALに対応したアナログ電圧AV2は、アナログ加算器13で加算される。これにより、アナログ加算器13から、オフセットが補正されたアナログ信号OUTが出力される。

【0038】以上のように、この第1の実施形態のDA変換回路は、変換対象のデジタル信号IN用のDAC12に加えて、オフセット補正用のDAC17を有している。これにより、デジタル信号INと同じ桁数のDAC12を用いて、オーバーフローによる変換精度の劣化のおそれなしに、オフセットをキャンセルすることができるという利点がある。

【0039】(第2の実施形態)図3は、本発明の第2の実施形態を示すDA変換回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0040】このDA変換回路では、図1のDA変換回路における制御部16の出力側とDAC17の入力側の間に、セクタ18を設けている。

【0041】セクタ18は、制御信号CONに従って、制御部16から出力されるオフセット補正用の補正值CAL、または外部から与えられる外部データDTCのいずれか一方を選択してDAC17に与えるものである。その他の構成は、図1と同様である。

【0042】このDA変換回路は、図1と同様の設定モード(1)と変換モード(2)に加えて、外部制御モード(3)を有している。

【0043】設定モード(1)の動作は、セクタ11で固定データFDを選択し、セクタ18で補正值CALを選択することにより、図1のDA変換回路と同様に行われる。また、変換モード(2)の動作は、セクタ11でデジタル信号INを選択し、セクタ18で補正值CALを選択することにより、図1のDA変換回路と同様に行われる。

【0044】一方、外部制御モード(3)の動作は、セクタ11でデジタル信号INを選択し、セクタ18で外部データDTCを選択することによって、次のように行われる。

【0045】即ち、変換対象のデジタル信号INがセクタ11を介してDAC12の入力側に与えられ、その値に応じたアナログ電圧AV1に変換されてアナログ加算器13の第1の入力側に与えられる。一方、セクタ18からDAC17に外部データDTCが与えられ、この外部データDTCに対応したアナログ電圧AV2がアナログ加算器13の第2の入力側に与えられる。アナ

ログ電圧AV1, AV2は、アナログ加算器13で加算され、このアナログ加算器13から、外部データD T Oで補正されたアナログ信号O U Tが出力される。

【0046】以上のように、この第2の実施形態のDA変換回路は、補正值C A Lと外部データD T Oを切り替えてDAC17へ与えるセクタ18を有している。これにより、第1の実施形態と同様の利点に加えて、外部のオフセット制御用のプロセッサ等から与えられる外部データD T Oに従って、オフセットをキャンセルすることができるという利点がある。

【0047】(第3の実施形態)図4は、本発明の第3の実施形態を示すDA変換回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。このDA変換回路では、図1のDA変換回路における制御部16の出力側とDAC17の入力側の間に、デジタル加算器19を設けると共に、固定値F Xと外部データD T Oを切り替えてこの加算器19に与えるセクタ20を設けている。

【0048】セクタ20は、制御信号C O Nに従って、固定値F X(例えば、0)または外部から与えられる外部データD T Oのいずれか一方を選択して出力するものである。セクタ20の出力側は、デジタル加算器19の第1の入力側に接続されている。デジタル加算器19の第2の入力側には、制御部16からオフセット補正用の補正值C A Lが与えられるようになっている。また、デジタル加算器19の出力側は、DAC17の入力側に接続されている。その他の構成は、図1と同様である。

【0049】このDA変換回路は、設定モード(1)、及び変換モード(2)に加えて、外部制御モード(3)を有している。

【0050】設定モード(1)の動作は、セクタ11で固定データF Dを選択し、セクタ20で固定値F Xを選択することにより行われる。制御部16から出力されるオフセット設定用の測定値C A Lは、デジタル加算器19において固定値F Xと加算され、その加算結果がDAC17へ与えられる。その他の動作は、図1における設定モード(1)の動作と同様である。

【0051】また、変換モード(2)の動作は、セクタ11でデジタル信号I Nを選択し、セクタ20で固定値F Xを選択することにより行われる。この場合の動作は、制御部16から出力される補正值C A Lに固定値F Xが加算される他は、図1のDA変換回路と同様である。

【0052】一方、外部制御モード(3)の動作は、セクタ11でデジタル信号I Nを選択し、セクタ20で外部データD T Oを選択することによって行われる。この場合の動作は、制御部16から出力される補正值C A Lに、外部データD T Oが加算されて、DAC17へ与えられる。従ってDAC17から出力されるオフ

セット補正用のアナログ電圧AV2は、予め設定モードで設定された補正值C A Lに加えて、外部のオフセット制御用のプロセッサ等から与えられる外部データD T Oに従って制御される。

【0053】以上のように、この第3の実施形態のDA変換回路は、補正值C A Lと外部データD T Oを加算してDAC17へ与えるデジタル加算器19を有している。これにより、第1の実施形態と同様の利点に加えて、外部のオフセット制御用のプロセッサ等から与えられる外部データD T Oに従って、オフセットをキャンセルすることができるという利点がある。

【0054】(第4の実施形態)図5は、本発明の第4の実施形態を示すDA変換回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0055】このDA変換回路では、図1のDA変換回路におけるアナログ加算器13に変えて、差動出力を有するアナログ加算器13Aを設けている。アナログ加算器13Aは、第1及び第2の入力側に与えられる2つのアナログ電圧AV1, AV2を加算した合計電圧AVを出力すると共に、この合計電圧AVの極性を反転した合計電圧/AVを出力するものである。合計電圧AV, /AVは、アナログ信号O U Tとして出力されると共に、比較器14の第1及び第2の入力側に与えられるようになっている。その他の構成は、図1と同様である。

【0056】このようなDA変換回路の動作は、図1の動作とほぼ同様である。但し、設定モード(1)の動作では、オフセット設定用の測定値C A Lを順次増加させる過程で、アナログ加算器13Aから出力される合計電圧AV, /AV(即ち、アナログ信号O U T)の極性が反転したときに、比較器14から出力される比較結果の信号が変化する。これにより、ゼロ点の検出が容易になり、正確な補正值C A Lを設定することができる。その他の動作は図1の動作と同様である。

【0057】以上のように、この第4の実施形態のDA変換回路は、第1の実施形態と同様の利点に加えて、より正確な補正值C A Lを設定することができるという利点がある。

【0058】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)~(c)のようなものがある。

【0059】(a) 図3及び図4のDA変換回路のアナログ加算器13を、図5と同様の差動出力を有するアナログ加算器13Aに変えても良い。

【0060】(b) DAC12, 17のビット数、固定データF Dの値、固定値F Xの値及び基準電圧V Cの値等は、例示したものに限定されない。

【0061】(c) 設定モードにおいて、制御部16は測定値C A Lを0から順次増加させて出力しているが、255から順次減少させて出力する用にしても良い。

【0062】

【発明の効果】以上詳細に説明したように、第1の発明によれば、補正値を第2のアナログ電圧に変換する第2のDACと、第1及び第2のアナログ電圧を加算してアナログ電圧を出力するアナログ加算器を有している。これにより、オーバーフローによる変換精度の劣化のおそれを排除することができる。

【0063】第2の発明によれば、補正値と外部データを切り替えて第2のアナログ電圧に変換するための第2のセクタを有している。これにより、第1の発明の効果に加えて、外部のオフセット補償用のプロセッサ等からオフセット制御を行うことができる。

【0064】第3の発明によれば、補正値と外部データを加算して第2のアナログ電圧に変換するためのデジタル加算器を有している。これにより、第2の発明と同様の効果がある。

【0065】第4の発明によれば、アナログ加算器を、アナログ信号と反転したアナログ信号を出力するように構成している。これにより、ゼロ点の検出が容易にな

り、正確なオフセット補正値を設定することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すDA変換回路の構成図である。

【図2】従来のDA変換回路の構成図である。

【図3】本発明の第2の実施形態を示すDA変換回路の構成図である。

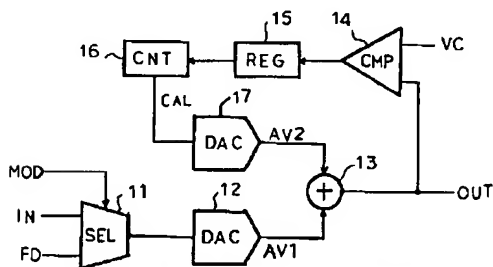
【図4】本発明の第3の実施形態を示すDA変換回路の構成図である。

【図5】本発明の第4の実施形態を示すDA変換回路の構成図である。

【符号の説明】

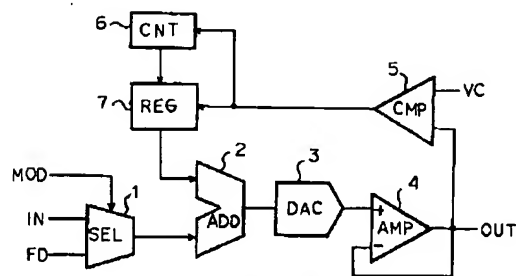
- 11, 18, 20 セクタ
- 12, 17 DAC (デジタル・アナログ変換器)
- 13 アナログ加算器
- 14 比較器
- 15 レジスタ
- 16 制御部
- 19 デジタル加算器

【図1】



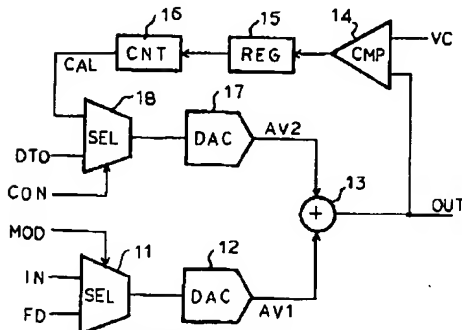
本発明の第1の実施形態のDA変換回路

【図2】



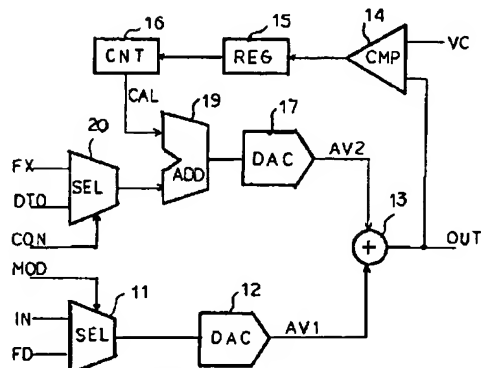
従来のDA変換回路

【図3】



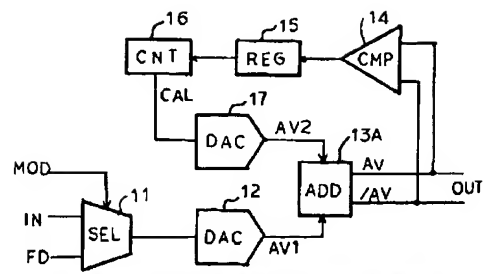
本発明の第2の実施形態のDA変換回路

【図4】



本発明の第3の実施形態のDA変換回路

【図5】



本発明の第4の実施形態のD/A変換回路